

PAT-NO: JP02003009167A
DOCUMENT-IDENTIFIER: JP 2003009167 A
TITLE: IMAGING APPARATUS
PUBN-DATE: January 10, 2003

INVENTOR-INFORMATION:

NAME

KURODA, YUKIHIRO

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

OLYMPUS OPTICAL CO LTD

COUNTRY

N/A

APPL-NO: JP2001192163

APPL-DATE: June 26, 2001

INT-CL (IPC): H04N009/07, H04N009/64

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an imaging apparatus that has a small circuit scale, and can perform accurate defect correction and interpolation processing quickly.

SOLUTION: The imaging apparatus comprises a defect correction circuit for correcting defective pixels consisting of a line memory, a shift register, and an operation circuit; and an interpolation circuit for generating color signals consisting of a line memory, a shift register, and an operation circuit. In the imaging apparatus, the line memories for the defect correction circuit and the interpolation circuit are used commonly, and at the same time interpolation processing is made after the defect correction processing.

COPYRIGHT: (C) 2003, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-9167

(P2003-9167A)

(43) 公開日 平成15年1月10日 (2003.1.10)

(51) Int.Cl.⁷

H04N 9/07
9/64

識別記号

F I

H04N 9/07
9/64

特許庁 (参考)

A 5C065
R 5C066

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2001-192163 (P2001-192163)

(22) 出願日 平成13年6月28日 (2001.6.28)

(71) 出願人 00000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 黒田 享裕

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(74) 代理人 100087273

弁理士 最上 健治

Fターム (参考) 5C065 AA01 BB23 BB48 CC01 DD02

EE06 GG13 GG17 GG30

5C066 AA01 CA03 CA01 CB03 HA03

KC11 KB01 KE05 KE07 KG01

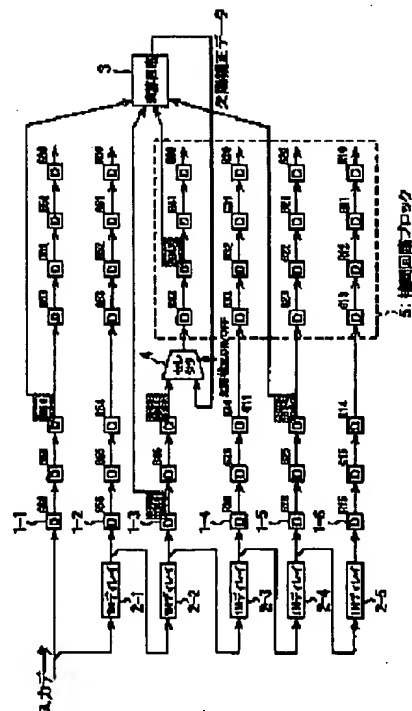
KM02 KM05 KP05

(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】 回路規模が小さく短時間で精度のよい欠陥補正・補間処理を行うことの可能な撮像装置を提供する。

【解決手段】 ラインメモリとシフトレジスタと演算回路とからなる欠陥画素を補正する欠陥補正回路と、ラインメモリとシフトレジスタと演算回路とからなる色信号生成用の補間回路とを備えた撮像装置において、欠陥補正回路と補間回路のラインメモリを共通に用いると共に、欠陥補正処理後に補間処理を行うように構成する。



【特許請求の範囲】

【請求項1】 被写界像を撮像して該被写界像を表す画像情報を記録する撮像装置において、該撮像装置は、撮像した被写界像を光電変換する光電変換手段と、該光電変換手段の欠陥を補正処理する記憶部を有する欠陥補正手段と、前記光電変換手段から出力された信号から各画素毎に補間された色信号を生成処理する記憶部を有する補間手段とを具備し、前記欠陥補正手段と前記補間手段における各記憶部は、共通の記憶手段を用いていることを特徴とする撮像装置。

【請求項2】 前記補間手段は、前記欠陥補正手段による欠陥処理後に補間処理を行うように構成されていることを特徴とする請求項1に係る撮像装置。

【請求項3】 被写界像を撮像して該被写界像を表す画像情報を記録する撮像装置において、該撮像装置は、撮像した被写界像を光電変換する光電変換手段と、該光電変換手段の欠陥を補正処理する欠陥補正手段と、前記光電変換手段から出力された信号から各画素毎に補間された色信号を生成する補間手段とを具備し、前記欠陥補正手段で欠陥を補正する演算処理と、前記補間手段で補間された色信号を生成する演算処理を、共通の記憶手段を用いてまとめて実施するように構成されていることを特徴とする撮像装置。

【請求項4】 前記記憶手段は、ラインメモリを含むことを特徴とする請求項1～3のいずれか1項に係る撮像装置。

【請求項5】 前記光電変換手段は、カラーフィルタを具備していることを特徴とする請求項1～4のいずれか1項に係る撮像装置。

【請求項6】 前記光電変換手段は、単板式の固体撮像素子であることを特徴とする請求項1～5のいずれか1項に係る撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、被写界像を撮像して該被写界像を表す画像情報を記録する、欠陥補正手段と色信号生成補間手段を有する撮像装置に関する。

【0002】

【従来の技術】近年、光電変換素子を用いた撮像装置が数多く知られている。光電変換素子には、結晶欠陥などによる傷をもった画素が含まれている場合があり、これが画質劣化や歩留まり低下の原因となる。そのため、欠陥画素に対して信号処理系で補正を行う手法が、一般的に行われている。例えば、特開平10-42201号公報では、予め光電変換素子の欠陥画素を検出し、その位置データやその欠陥画素に関する種々のデータをROM等に記憶し、その情報に基づき欠陥画素のあるラインの前後のラインの画素データで、欠陥画素データを補正する構成が開示されている。

【0003】また、従来から、光電変換素子の各画素そ

れぞれにカラーフィルタを貼り付け、カラー画像信号を得る単板式の撮像装置が知られている。前記単板式撮像装置においては、例えば、図5に示すように、R（赤）、G（緑）、B（青）をモザイク上に配列したカラーフィルタが用いられている。

【0004】更に、前記カラーフィルタとしては、図5に示すような、R、G、Bからなるベイヤー配列に従うものの他、〔W、G、Cy、Ye〕、〔W、Cy、Ye〕、〔Mg、G、Cy、Ye〕などの組み合わせからなるものもある。なお、Wはホワイ、Cyはシアン、Yeはイエロー、Mgはマゼンタを示す。上記のような単板式撮像装置においては、例えば、R、G、Bからなるカラーフィルタを用いる場合には、各画素毎にR、G、Bのいずれか一つの色情報のみが得られることになるため、画像信号の他の色情報については補間計算を行い、各画素毎にR、G、Bのデータがそれぞれに得られるようにする手法が取られている。

【0005】例えば、特開平10-178650号公報には、R、G、Bのモザイクフィルタを用いる構成において、5×5画素領域内で、R、G、Bの各画素データ別に平均値を計算して、補間値を求める手法の開示がなされている。

【0006】次に、従来の欠陥補正手段と補間手段の構成例を、図6及び図7に基づいて説明する。図6に示す欠陥補正回路は、入力信号が図5に示したようなベイヤー配列に従ったものであり、図5におけるG33が欠陥画素であるとし、この欠陥画素データG33を、近傍の画素データG13、G31、G35及びG53で補正するものとする。図6において、101はシフトレジスタからなる遅延素子、102は及び103は欠陥画素データの補正に必要とする前後のラインの画素データを記憶するための2Hラインメモリ、104は補正データ生成の演算処理を行うための演算回路、105は欠陥画素データを補正データに入れ替えるためのセレクトである。

【0007】このように構成されている欠陥補正回路においては、2つの2Hラインメモリ102、103と、15個の1画素遅延素子101を用いて演算回路104で欠陥画素G33の欠陥補正を行い、欠陥補正ON/OFF信号により切り替え制御されるセレクト105を介して、G33画素が欠陥画素の場合、演算回路104からの補正データを出し、欠陥画素でない場合は、G33画素の画素信号をそのまま出力させるようになっている。

【0008】また、図7に示される補間回路は、例えば図8に示すようなベイヤー配列の画素データから注目画素（図8における黒点）のRデータを補間により求める場合、注目画素に隣接する4つのRデータR12、R14、R32及びR34の平均値を求めるようになっている。ここで、106は16個の1画素遅延のシフトレジスタからなる遅延素子、107、108及び109は補間処理に必要で画素データを記憶するための1Hラインメモリ、110は補間

計算を行う演算回路である。

【0009】

【発明が解決しようとする課題】ところで、前記従来の欠陥補正手段及び補間手段を具備する撮像装置では、注目する画素データに対して当該ラインの前後のラインの画素データを使用して、欠陥補正処理並びに補間処理を行うため、それらの画素データを記憶するためにラインメモリがそれぞれ個別に必要となる。例えば、図6の欠陥補正回路では、4ライン分のラインメモリ（2つの2Hラインメモリ）が必要であり、図7の補間回路では、3ライン分のラインメモリが必要である。したがって、従来の欠陥補正手段と補間手段を備えた撮像装置では7ライン分のラインメモリが必要となり、回路規模が大きくなるという問題及び処理に要する時間が長くなるという問題があった。

【0010】また、特開平10-42201号公報や特開平10-178650号公報には、欠陥補正処理と補間処理の順序については何も記載されていないが、補間処理を行った後に欠陥補正処理を行った場合、補間処理に必要な画素データが欠陥画素であるときには、欠陥画素データが広がってしまい、精度の良い補正を行うことができないという問題がある。

【0011】本発明は、従来の欠陥補正手段及び補間手段を備えた撮像装置における上記問題点を解消するためになされたもので、精度の良い欠陥補正を行うことができ、更に回路規模を小さくすることができ、且つ短い時間で処理することのできる欠陥補正手段及び補間手段を備えた撮像装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記問題点を解決するため、請求項1に係る発明は、被写界像を撮像して該被写界像を表す画像情報を記録する撮像装置において、該撮像装置は、撮像した被写界像を光電変換する光電変換手段と、該光電変換手段の欠陥を補正処理する記憶部を有する欠陥補正手段と、前記光電変換手段から出力された信号から各画素毎に補間された色信号を生成処理する記憶部を有する補間手段とを具備し、前記欠陥補正手段と前記補間手段における各記憶部は、共通の記憶手段を用いていることを特徴とするものである。

【0013】このように、欠陥補正手段と補間手段における各記憶部は、共通の記憶手段を用いるように構成しているので、従来のように欠陥補正手段と補間手段に個別の記憶手段を用いる場合に比べて、回路規模を小さくすることができるばかりでなく、短時間に処理を行うことができる。

【0014】請求項2に係る発明は、請求項1に係る撮像装置において、前記補間手段は、前記欠陥補正手段による欠陥処理後に補間処理を行うように構成されていることを特徴とするものである。このように欠陥補正手段による欠陥処理後に補間処理を行うように構成すること

により、欠陥画素データが広がることなく、精度の良い補間処理と共に欠陥補正処理を行うことができる。

【0015】請求項3に係る発明は、被写界像を撮像して該被写界像を表す画像情報を記録する撮像装置において、該撮像装置は、撮像した被写界像を光電変換する光電変換手段と、該光電変換手段の欠陥を補正処理する欠陥補正手段と、前記光電変換手段から出力された信号から各画素毎に補間された色信号を生成する補間手段とを具備し、前記欠陥補正手段で欠陥を補正する演算処理と、前記補間手段で補間された色信号を生成する演算処理を、共通の記憶手段を用いてまとめて実施するように構成されていることを特徴とするものである。

【0016】このように、欠陥補正手段で欠陥を補正する演算処理と、補間手段で補間された色信号を生成する演算処理を共通の記憶手段を用いてまとめて実施するように構成することにより、更に回路規模を小さくすることが可能となる。

【0017】

【発明の実施の形態】次に、実施の形態について説明する。図1は、本発明に係る撮像装置の第1の実施の形態における主要部、すなわち、欠陥補正及び補間回路部分を示すブロック構成図である。この実施の形態では、欠陥補正及び補間回路への入力データとしては、図2に示すようなカラーフィルタを有するCCD撮像素子からA/D変換して得たRGBのペイヤー配列に従った画像データを入力データとして扱うものを示しているが、

[W, G, Cy, Ye], [W, Cy, Ye], [Mg, G, Cy, Ye]などの組み合わせからなる異なるカラー成分や配列に従った画像データを入力データとして扱うものでもよい。

【0018】図1において、1-1, 1-2, 1-3, 1-4, 1-5及び1-6並びに“D”と表示しているブロックは全てシフトレジスタで、それぞれ1画素時間の遅延時間を有する遅延素子で構成され、6段の各段毎にそれぞれ7つのシフトレジスタが縦続接続されている。2-1~2-5は、2段目以降の各縦続接続のシフトレジスタ群の1番目のシフトレジスタ1-2~1-6の前段に配置された1ライン分の遅延時間を有するラインメモリ（1Hディレイ素子）で、各ラインメモリ2-1~2-5は更に縦続接続されて、2ライン、3ラインというように数ライン分の遅延時間をデータにもたせることができるようになっている。すなわち、1段目のシフトレジスタ1-1には、入力データが直接入力されるが、2段目のシフトレジスタ1-2には、1つのラインメモリ2-1を介して1ライン分遅延した入力データが入力され、3段目のシフトレジスタ1-3には、2つのラインメモリ2-1, 2-2を介して2ライン分遅延した入力データが入力され、4段目のシフトレジスタ1-4には、3つのラインメモリ2-1, 2-2, 2-3を介して3ライン分遅延した入力データが入力され、5段

目のシフトレジスタ1-5には、4つのラインメモリ2-1、2-2、2-3、2-4を介して4ライン分遅延した入力データが入力され、6段目のシフトレジスタ1-6には、5つのラインメモリ2-1、2-2、2-3、2-4、2-5を介して5ライン分遅延した入力データが入力され、結局継続接続された各段のシフトレジスタには、ある時点で例えば図2に示したCCD撮像素子の6×7の画素領域の各画素信号が保持されるようになっていく。

【0019】3は演算回路で、1段目の第3番目のシフトレジスタの出力、3段目の第1番目及び第5番目のシフトレジスタの出力、5段目の第3番目のシフトレジスタの出力が入力されるようになっていて、3段目の第3番目のシフトレジスタに保持されている画素データに対応する画素（図示例ではG44）が、図示しない欠陥画素判定手段等で欠陥画素であることが認識された場合に、当該画素の上記近傍の画素データから補正のための画素欠陥補正データを生成して出力するものである。4はセレクトで、該セレクト4には3段目の第3番目のシフトレジスタからの画素データと、前記演算回路3からの画素欠陥補正データが入力され、欠陥補正ON/OFF信号により、シフトレジスタからの画素データが欠陥画素データでなければ、セレクト4はシフトレジスタからのデータをそのまま通すが、欠陥画素データである場合は、補正データを第4番目のシフトレジスタへ出力するようになっていく。

【0020】5は、補間回路ブロックで、3～6段目の各第4番以降の4×4のシフトレジスタ群の構成のみで示し、演算回路部分を省略しているが、演算回路部分は、例えば図7に示した補間回路の各シフトレジスタとの接続態様を含め演算回路部分を、そのまま適用することができる。

【0021】次に、このように構成された欠陥補正・補間回路の動作について説明する。まず、欠陥画素の補正を欠陥画素データに対して、例えば上下左右の画素データで行う場合、図2においてG44が欠陥画素だとすると、G24、G42、G46及びG64の画素データが必要となる。このため、これらの画素データを欠陥補正回路で記憶するために、4つのラインメモリが必要となる。これは図1においてラインメモリ2-1、2-2、2-3及び2-4に相当する。そして、これらのラインメモリを用いてG24、G42、G46及びG64の画素データを演算回路3へ入力して、その平均値で画素欠陥補正データを生成し、セレクト4を介してG44の欠陥画素データの代わりに出力する。

【0022】次に、画素欠陥補正処理を終えた画像データに対して、例えば近接する4つの画素データを用いて補間処理を行う場合、図2で示される太線で囲われたような4×4画素領域内の画素データが必要である。このため、これらの画素データを記憶するために、3つのラ

インメモリが必要となる。これは、図2においてラインメモリ2-3、2-4及び2-5に相当し、これらのラインメモリに接続された第4～第7番目のシフトレジスタに上記4×4画素領域の画素データを記憶させ、補間処理を行う。

【0023】したがって、図1における画素欠陥補正回路と補間回路とは、ラインメモリ2-3、2-4を共有して使用することになり、従来のそれぞれの回路で個々のラインメモリを使用していた場合と比較して、共有した分だけラインメモリを減らすことができる。これにより回路規模を小さくすることができ、且つ処理時間も短縮することができる。

【0024】また、補間回路ブロック5に入力される画素データとしては、欠陥補正を行った後の画素データが入力されるため、補間処理の際に欠陥画素データが広がるようなことはない。

【0025】なお、上記実施の形態では、画素欠陥補正処理を行うのに、欠陥画素に対して上下左右の4つの画素データを用いたものを示しているが、上下の2つの画素データあるいは、近傍の4つ以上の画素データを用いて欠陥補正を行うようにしてもよい。

【0026】また、上記実施の形態では、補間処理を注目する画素に対して近接する4つの画素データに基づいて行うものを示したが、例えば近接する9つの画素データのように、より多くの画素データに基づいて補間処理を行うようにしてもよい。

【0027】次に、第2の実施の形態を図3に基づいて説明する。図3において、11～55はシフトレジスタで、それぞれ1画素分の遅延時間を有する遅延素子で構成され、5段の各段毎にそれぞれ5つのシフトレジスタが継続接続されている。6-1～6-4は、2段目以降の各継続接続のシフトレジスタ群の1番目のシフトレジスタ45、35、25、15の前段に配置された1ライン分の遅延時間を有するラインメモリで、各ラインメモリ6-1～6-4は更に継続接続されて、2ライン、3ライン及び4ラインの遅延時間をデータにもたせることができるようになっていく。

【0028】すなわち、1段目のシフトレジスタ55には、入力データが直接入力されるが、2段目のシフトレジスタ45には、1つのラインメモリ6-1を介して1ライン分遅延した入力データが入力され、3段目のシフトレジスタ35には、2つのラインメモリ6-1、6-2を介して2ライン分遅延した入力データが入力され、4段目のシフトレジスタ25には、3つのラインメモリ6-1、6-2、6-3を介して3ライン分遅延した入力データが入力され、5段目のシフトレジスタ15には、4つのラインメモリ6-1、6-2、6-3、6-4を介して4ライン分遅延した入力データが入力され、結局継続接続された各段のシフトレジスタ11～55には、図4の(A)又は(B)に示したCCD撮像素子の5×5の画

素領域の各画素信号が保持されるようになっている。

【0029】7は演算回路で、各シフトレジスタからの出力が入力されるようになっていて、図示しない欠陥画素判定手段等で欠陥画素であることが認識された場合に、当該画素の近傍の画素データから補正のための画素欠陥補正データを生成して出力すると共に、近傍の同色の画素信号を用いて補間データを生成し、R、G、Bデータを出力するものである。8はセレクトで、該セレクト8には3段目の第3番目のシフトレジスタ33からの画素データと、前記演算回路7で算出された画素欠陥補正データが入力され、欠陥補正ON/OFF信号により、シフトレジスタ33からの画素データが欠陥画素データでなければ、セレクト8はシフトレジスタ33からのデータをそのまま通すが、欠陥画素データである場合は、欠陥補正データを第4番目のシフトレジスタ32へ出力するようになっている。

【0030】次に、このように構成されている第2の実施の形態の動作について説明する。演算回路7は、シフトレジスタ（遅延素子）33が保持している画素データに対応する画素が欠陥画素であるかどうかを判別し、欠陥画素であった場合、その画素の色成分に従って欠陥補正データを作成する。更に、シフトレジスタ22が保持して*

$$\begin{aligned} B22 &= [B11 + B13 + B31 + (B13 + B31 + B35 + B53) / 4] / 4 \\ &= (1/4) \times (B11) + (5/16) \times (B13) + (5/16) \times (B31) \\ &\quad + (1/6) \times (B35) + (1/16) \times (B53) \end{aligned}$$

【0033】ここで、補間に使用したその他の画素データG12、G21、G23、G32、B11、B13、B31については、それらが欠陥画素であったとしても、R22以前の画素データを補間処理する際に、セレクト8の切り替えによって既に補正されているため、上記のような補正処理を必要としない。

【0034】G画素データに対する補間処理は、図4の(B)に示すベイヤー配列において、G画素データG22の補間データR22及びB22を、次式に基づいて作成する。

$$R22 = (R21 + R23) / 2$$

$$B22 = (B12 + B32) / 2$$

【0035】ここで、補間に使用した画素データは、それらが欠陥画素データであった場合、画素データG22以前の画素データを補間処理する際に既に補正処理されているため、改めて欠陥画素データに対する補正処理は必要としない。また、このとき、G33が欠陥画素であった場合は、その補正データG33'を次のようにして作成する。

$$G33' = (G22 + G24 + G42 + G44) / 4$$

【0036】したがって、本実施の形態では、必要とするラインメモリの数は4つとなり、従来のそれぞれの回路で個々のラインメモリを使用していた場合と比較して、一層ラインメモリを減らすことができる。これにより回路規模を小さくすることができ、且つ処理時間も短※50

*いる画素データの色成分を判別し、その判別した結果に従い補間データを作成する。このとき、シフトレジスタ33が保持している画素データが欠陥画素である場合は、作成した画素欠陥補正データを使用する。同時に、補間処理に必要な画素データにかかる係数を計算する。セレクト8は、シフトレジスタ33が保持している画素データに対応する画素が欠陥画素でなければ、その画素データを出力し、欠陥画素である場合は、演算回路7から出力される画素欠陥補正データを出力する。

10 【0031】例えば、図4の(A)に示すベイヤー配列において、R画素データR22の位置の補間データG22及びB22は、次のようにして作成する。

$$R22 = R22$$

$$G22 = (G12 + G21 + G23 + G32) / 4$$

$$B22 = (B11 + B13 + B31 + B33) / 4$$

【0032】このとき、B33が欠陥画素であった場合、その欠陥補正データB33'を、次のようにして作成する。

$$B33' = (B13 + B31 + B35 + B53) / 4$$

20 したがって、B33が欠陥画素であった場合の補間データB22は、次のように表される。

※縮することができる

【0037】なお、上記実施の形態では、RGBのベイヤー配列に従った画像データを入力データとして扱ったものを示したが、(W, G, Cy, Ye)、(W, Cy, Ye)、(Mg, G, Cy, Ye)などの組み合わせからなる異なるカラー成分や配列に従った画像データを入力データとしたものに対しても、同様に適用できる。

【0038】また、上記第1の実施の形態では、補間する画素の位置を、図2において黒点で示したようなずれた位置とし、上記第2の実施の形態では、実際の画素の場所と一致する位置としたものを示したが、補間位置はそれぞれにおいて、どちらの位置としてもかまわない。

【0039】

40 【発明の効果】以上実施の形態に基づいて説明したように、請求項1に係る発明によれば、欠陥補正手段と補間手段において共通の記憶手段を用いるように構成しているので、回路規模を小さくすることができるばかりでなく、短時間で欠陥補正・補間処理を行うことができる。また請求項2に係る発明によれば、欠陥補正手段による欠陥補正処理後に補間処理を行うように構成しているので、欠陥画素データが広がることなく、精度のよい欠陥補正・補間処理を行うことができる。また請求項3に係る発明によれば、欠陥補正演算処理と補間演算処理を共通の記憶手段を用いてまとめて実行するように構成して

いるので、より一層の回路規模の縮小化を図ることができる。

【図面の簡単な説明】

【図1】本発明に係る撮像装置の第1の実施の形態の主要部を示すブロック構成図である。

【図2】第1の実施の形態におけるベイヤー配列のカラーフィルタを備えた撮像素子の一部を示す説明図である。

【図3】本発明の第2の実施の形態の主要部を示すブロック構成図である。

【図4】第2の実施の形態におけるベイヤー配列のカラーフィルタを備えた撮像素子の一部を示す説明図である。

【図5】ベイヤー配列のカラーフィルタを備えた撮像素子において画素欠陥補正を行う場合の説明図である。

【図6】従来の画素欠陥補正回路の構成例を示すブロッ

ク図である。

【図7】従来の補間回路の構成例を示すブロック図である。

【図8】ベイヤー配列のカラーフィルタを備えた撮像素子において補間処理を行う場合の説明図である。

【符号の説明】

1-1~1-6 シフトレジスタ（遅延素子）

2-1~2-5 ラインメモリ

3 演算回路

4 セレクタ

5 補間回路ブロック

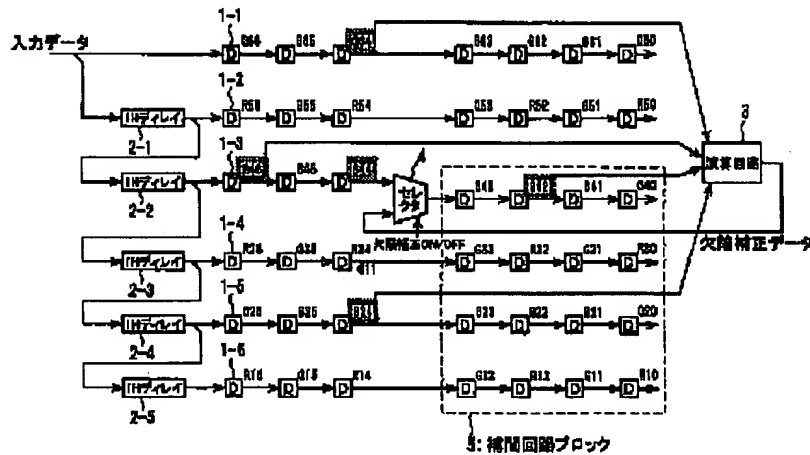
6-1~6-4 ラインメモリ

7 演算回路

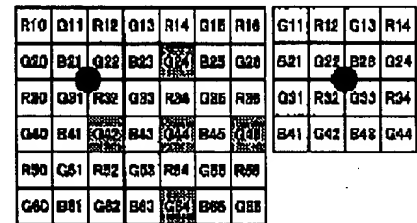
8 セレクタ

11~55 シフトレジスタ（遅延素子）

【図1】

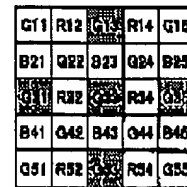


【図2】

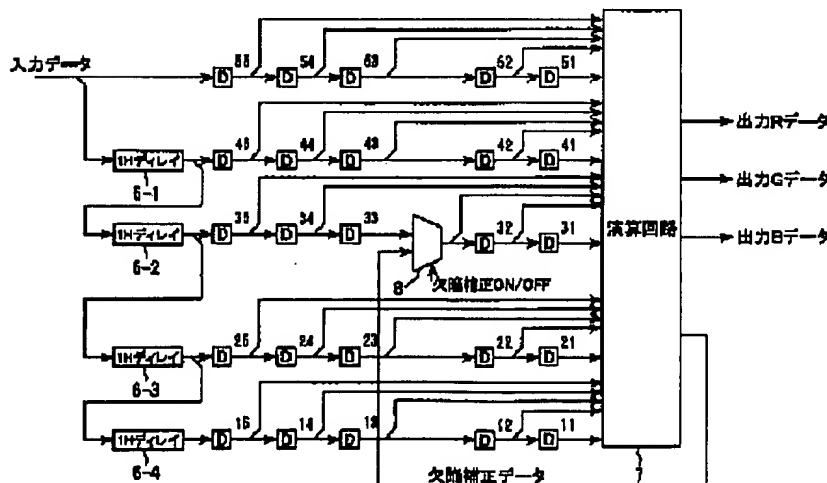


【図8】

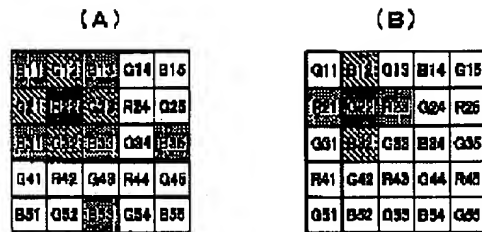
【図5】



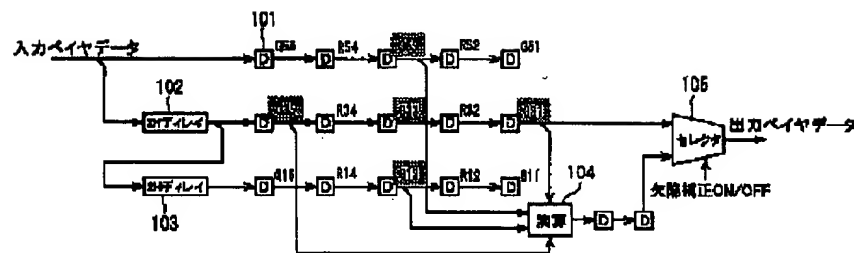
【図3】



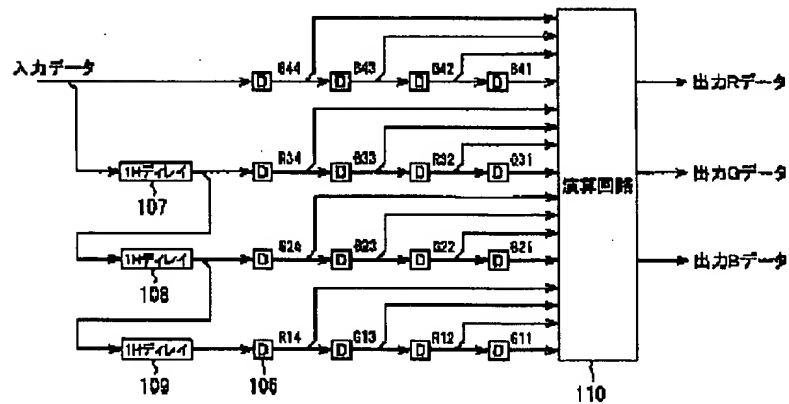
【図4】



【図6】



【図7】



【手続補正書】

【提出日】平成13年6月28日(2001.6.28)

8)

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】

R10	Q11	R12	Q13	R14	Q15	R16
G20	B21	G22	B23	G24	B25	G26
R20	Q21	R22	Q23	R24	Q25	R26
Q40	B41	G42	B43	G44	B45	Q46
R50	Q51	R52	Q53	R54	Q55	R56
Q60	B61	Q62	B63	Q64	B65	Q66